



JPW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/709,425	
	Filing Date	05/05/2004	
	First Named Inventor	Jie-Hong Wang	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	FTCP0029USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	5/13/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☒ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/709,425
Filing Date	05/05/2004
First Named Inventor	Jie-Hong Wang
Examiner Name	
Art Unit	
Attorney Docket No.	FTCP0029USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number
Deposit Account Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid
Total Claims	<input type="text"/>	-20** =	<input type="text"/>	X	<input type="text"/>	<input type="text"/>
Independent Claims	<input type="text"/>	- 3** =	<input type="text"/>	X	<input type="text"/>	<input type="text"/>
Multiple Dependent					<input type="text"/>	<input type="text"/>

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	0.00
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

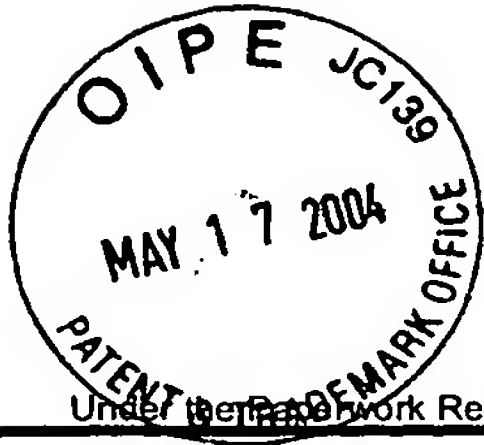
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	5/13/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



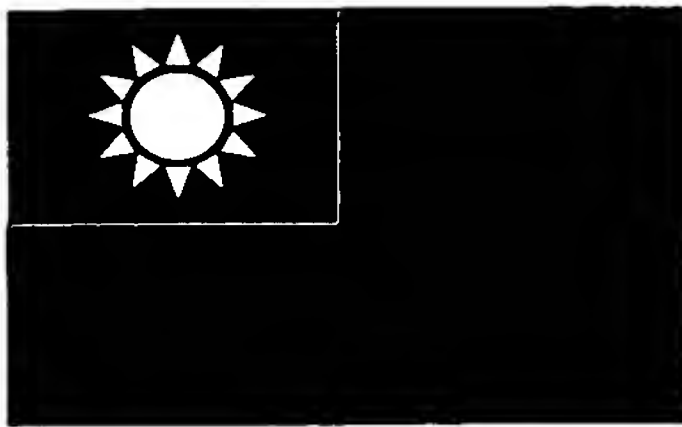
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092124134	Taiwan R.O.C	09/01/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 01 日
Application Date

申請案號：092124134
Application No.

申請人：智原科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 4 月 27 日
Issue Date

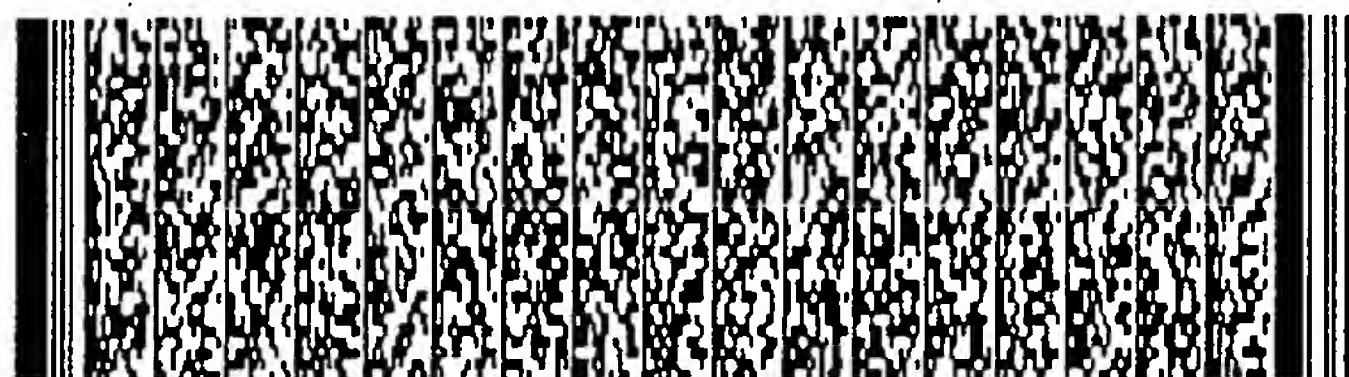
發文字號：09320366830
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	閉鎖現象之通用測試平台以及測試方法
	英 文	UNIVERSAL TEST PLATFORM AND TEST METHOD FOR LATCH-UP
二、 發明人 (共3人)	姓 名 (中文)	1. 王智弘
	姓 名 (英文)	1. Wang, Jie-Hong
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣平鎮市環南路二段二七0號十六樓之一
	住居所 (英 文)	1. 16F-1, No. 270, Sec. 2, Huan-Nan Rd., Pin-Jen City, Tao-Yuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 智原科技股份有限公司
	名稱或 姓 名 (英文)	1. Faraday Technology Grop.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行一路十號之二 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 10-2, Li-Hsin Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. Tsao, Hsing-Cheng

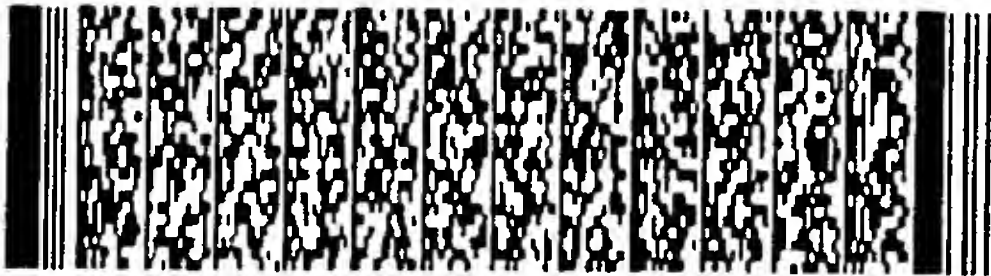


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	2. 柯開仁
	姓名 (英文)	2. Ko, Kai-Jen
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 新竹市光復路一段八十九巷一六三號七樓
	住居所 (英文)	2. 7F, No.163, Lane 89, Sec. 1, Kuang-Fu Rd., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

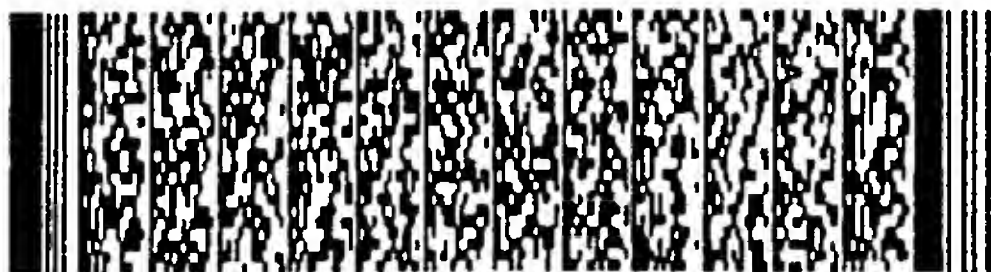


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 程安儒
	姓 名 (英文)	3. Cheng, An-Ru
	國 籍 (中英文)	3. 美國 US
	住居所 (中 文)	3. 新竹市香山區香山里十四鄰敦豐路六十九巷十一號
	住居所 (英 文)	3. No. 11, Lane 69, Tun-Fong Rd., Hsiang-Shan, Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：閉鎖現象之通用測試平台以及測試方法)

一種測試一晶片之閉鎖現象之測試平台以及測試方法，該測試平台包含一記憶體、一參數量測模塊、一閉鎖測試程式以及一處理器。該記憶體儲存有該晶片之測試程式，用來測試該晶片之功能，該測試方法包含下列步驟：(a)使用處理器執行該閉鎖測試程式，取得該測試平台測試該晶片之測試程式；(b)由該晶片之測試程式取得該晶片之接腳資料；(c)將該晶片之輸入接腳設為一初始值；(d)使用參數量測模塊對該晶片之接腳提供一測試電流，再量測該晶片之電源端以及接地端間之電流是否大於一第一預設值。

伍、(一)、本案代表圖為：第三圖

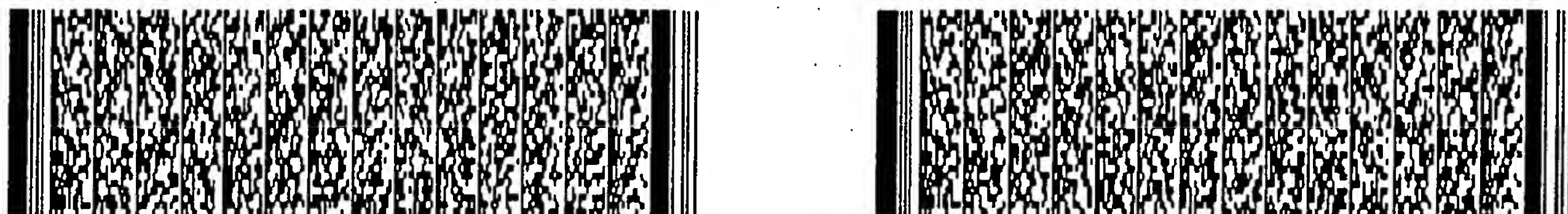
(二)、本案代表圖之元件代表符號簡單說明

20 測試平台

22 參數量測模塊

六、英文發明摘要 (發明名稱：UNIVERSAL TEST PLATFORM AND TEST METHOD FOR LATCH-UP)

A test platform and a test method for testing latch-up phenomena of an IC chip. The test platform includes a memory, a parameter measurement unit (PMU), a latch-up testing program, and a processor. The memory stores a testing program of the IC chip for testing the functions of the IC chip. The test method includes (a) using the processor executing the



四、中文發明摘要 (發明名稱：閉鎖現象之通用測試平台以及測試方法)

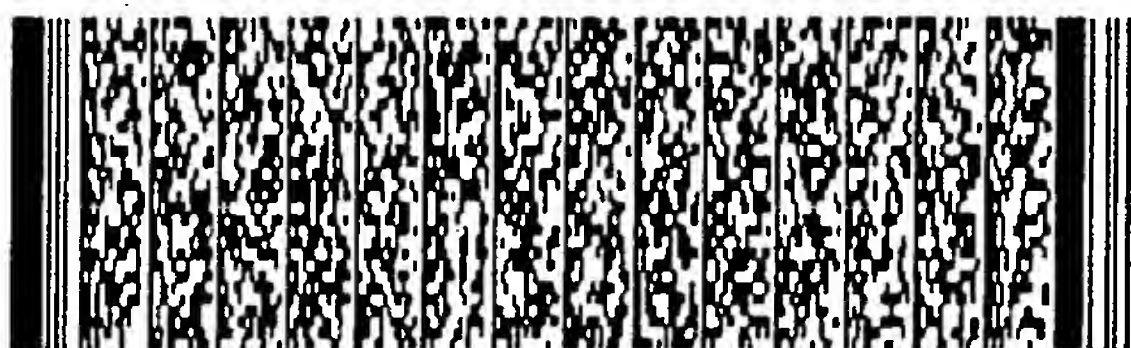
24 處理器
28 測試程式
32 待測晶片

26 記憶體
30 閉鎖測試程式

代表化學式

六、英文發明摘要 (發明名稱：UNIVERSAL TEST PLATFORM AND TEST METHOD FOR LATCH-UP)

latch-up testing program to get the testing program of the IC chip; (b) getting data of pins of the IC chip from the testing program of the IC chip; (c) setting an initial value for input pins of the IC chip; (d) using the PMU providing a test current to a pin of the IC chip then measuring if the current between the voltage source and ground larger than a first value.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

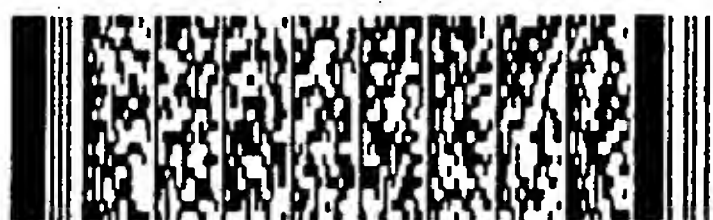
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



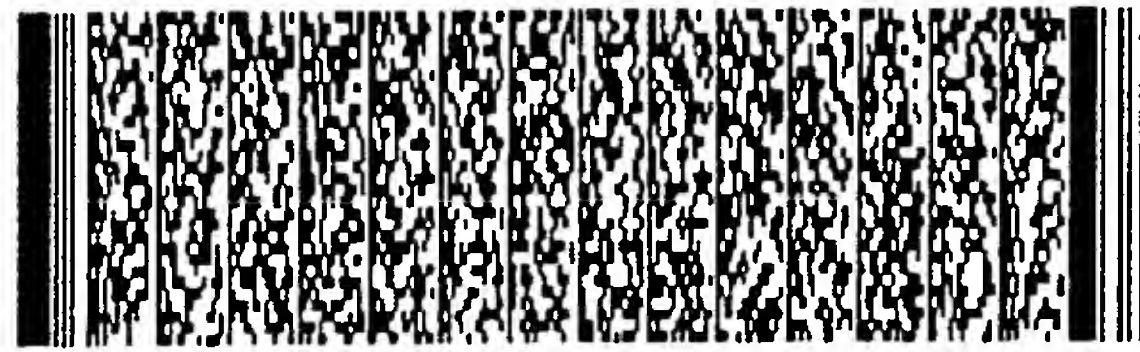
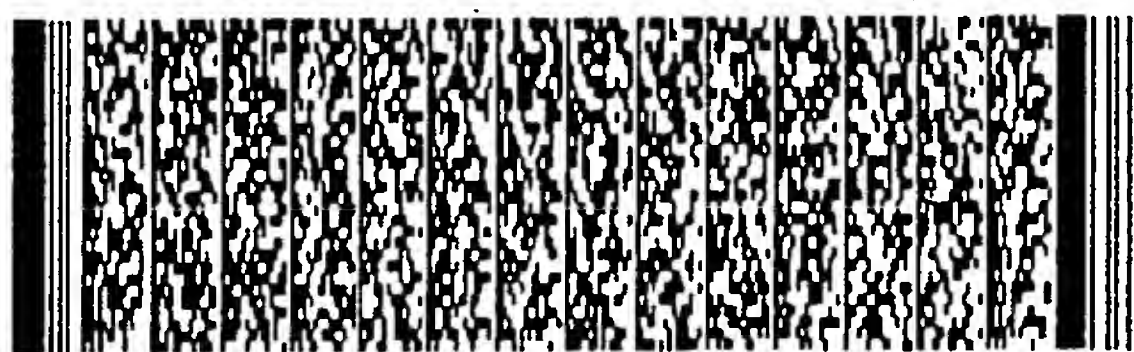
五、發明說明 (1)

發明所屬之技術領域

本發明提供一種閉鎖現象之測試平台以及測試方法，尤指一種利用開發晶片的測試平台所實現之閉鎖現象之通用測試平台以及測試方法。

先前技術

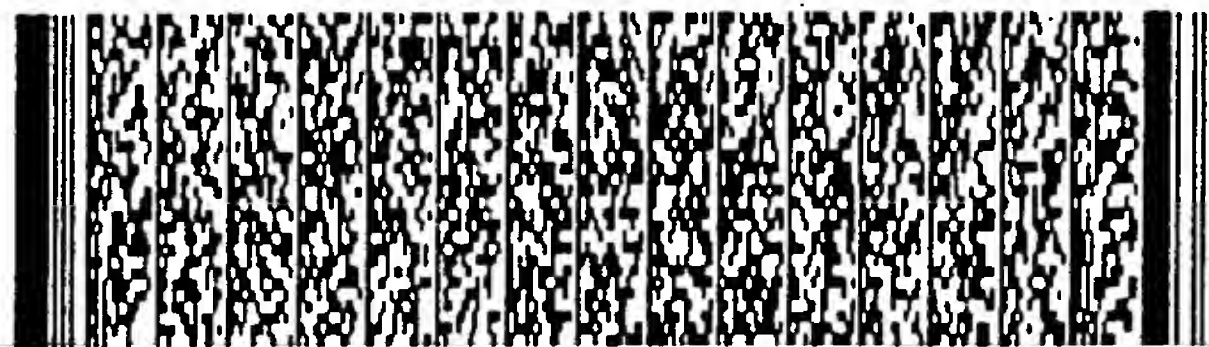
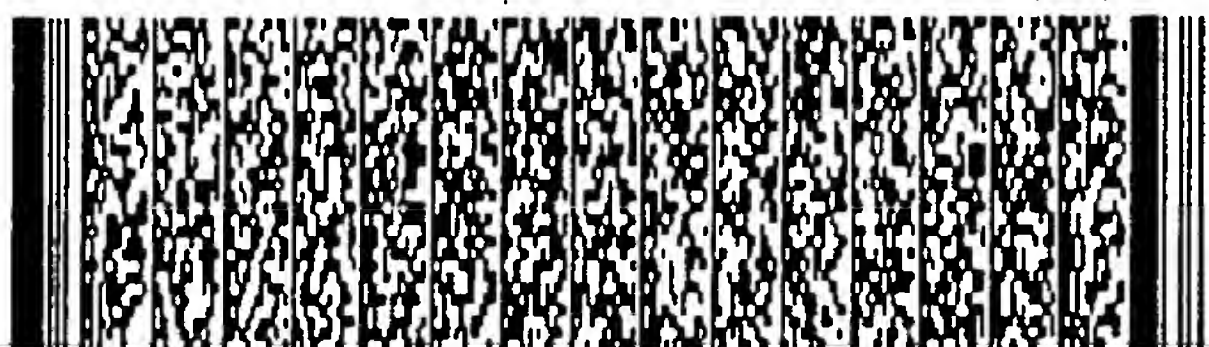
請參考圖一，圖一為習知 CMOS剖面以及其等效寄生電路之示意圖。積體電路常會因為本身的寄生電路效應，而造成電路內部的汲極電壓接點 (VDD) 與源極電壓接點 (VSS) 間短路，或者因電源斷路時所產生的電壓突變而使得電路不能正常工作，這種由寄生電路所產生的影響，就稱作閉鎖 (Latch up) 現象。當有大量的電子注入 N 型基底，而這些電子為 P 型井所接收，則大量的電子形成的大電流在寄生電阻 R_s 及 R_w 所造成的壓降，足以使等效電晶體 T_1 、 T_2 皆導通而處於低電壓狀態，則造成汲極電壓接點與源極電壓接點間短路，形成閉鎖現象，使得電路系統故障。要避免閉鎖現象導致的電路系統故障，應降低寄生電阻 R_s 與 R_w 的電阻值，或者減小等效電晶體的增益常數。藉由改進積體電路的製程，可減小等效電晶體的增益常數，而將 N 型場效電晶體的基極連接至源極電壓接點，以及將 P 型場效電晶體的基極連接至汲極電壓接點，可減少寄生電阻 R_s 與 R_w 的電阻值，降低閉鎖現象發生的



五、發明說明 (2)

機會。

請參考圖二，圖二為習知測試積體電路 10 之閉鎖現象之示意圖。測試積體電路 10 的閉鎖現象時，首先在積體電路 10 的電源端 (Vs) 以及接地端 (GND) 間設置一測試電壓 12 以及一電流量測器 14，接著在待測接腳 (pin under test, PUT) 以及接地端間施加一觸發電流 16，以電流量測器 14 讀取電源端以及接地端間的電流，若無發生閉鎖現象，則增加觸發電流 16，繼續測試。國際上已制定了閉鎖現象的測試標準，閉鎖現象的測試需符合 JEDEC EIA/JESD78 的標準，測試標準為每隻接腳最後要能承受 200mA 的觸發電流 16，觸發電流 16 由 25mA 的電流開始，每次增加 25mA，而在測試的過程中，電源端以及接地端間的電流不可超過 100mA。一般來說，不同的積體電路會有其所屬的測試平台，用來開發以及測試積體電路的功能，測試平台提供了參數量測模塊 (Parameter Measurement Unit, PMU)，是一組可以提供電流源及電壓源的電源供應器，同時也是一組具有可量測電流值及電壓值的量測設備，使用參數量測模塊很容易對積體電路進行閉鎖現象的測試。因此，積體電路的製造廠商會依據 JEDEC EIA/JESD78 的標準，針對不同的積體電路，在其所屬的測試平台上開發閉鎖現象的測試程式，使每一個積體電路在出廠前都能通過閉鎖現象的標準測試。



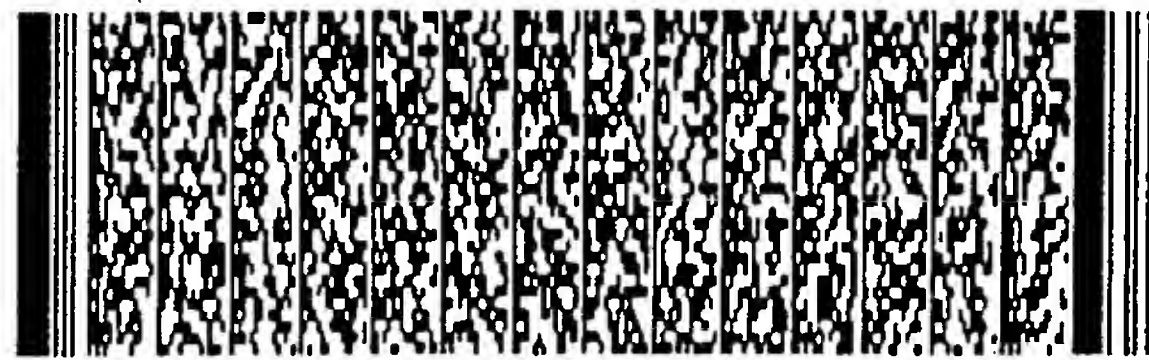
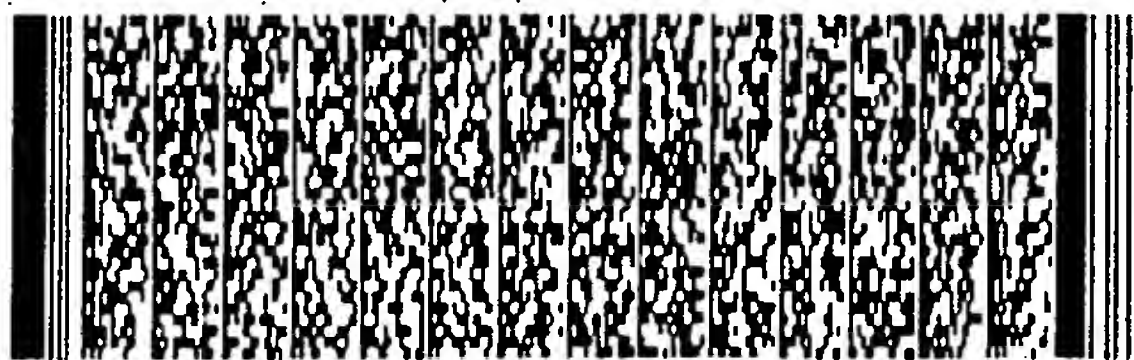
五、發明說明 (3)

由上述可知，積體電路本身的寄生電路所造成的閉鎖現象，會導致電路系統故障，因此每一個積體電路在出廠前，都必須經過符合 JEDEC EIA/JESD78 國際標準的閉鎖測試，以確保電路系統的正常運作。由於不同的積體電路在開發時都有其所屬的測試平台，因此不同的積體電路製造廠商可依據國際標準，在積體電路所屬的測試平台上針對不同的積體電路來開發閉鎖現象的測試平台。然而針對不同的積體電路，即使是在同一測試平台式上，要針對不同的積體電路都開發一個閉鎖現象的測試程式，是一件很麻煩的事。

發明內容

因此本發明之主要目的在於提供一種閉鎖現象之通用測試平台以及測試方法，以解決上述問題。

本發明之較佳實施例中提供一種測試平台，用來測試一晶片之閉鎖 (latch up) 現象，該測試平台包含一記憶體；一參數量測模塊 (Parameter Measurement Unit, PMU)，用來提供該晶片之電流源，以及量測晶片之電流值；以及接地端間之電流之電流值；一閉鎖測試程式，儲存在該記憶體，該閉鎖測試程式包含：一路徑設定程式，用來由該晶片之測試程式取得該晶片之接腳；一初始設



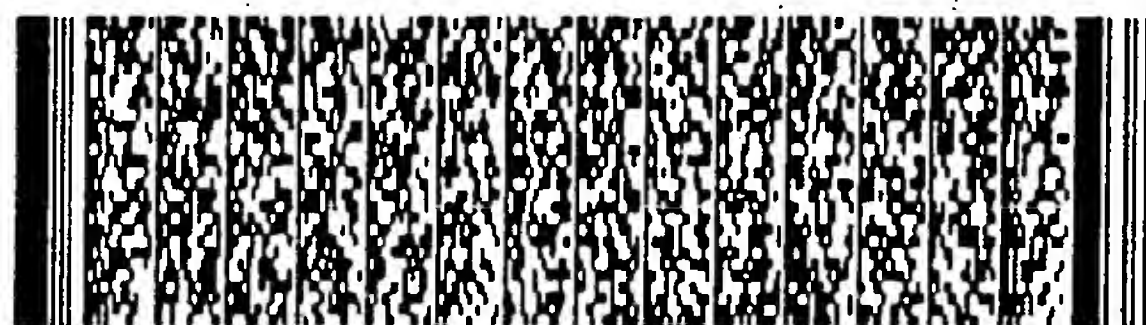
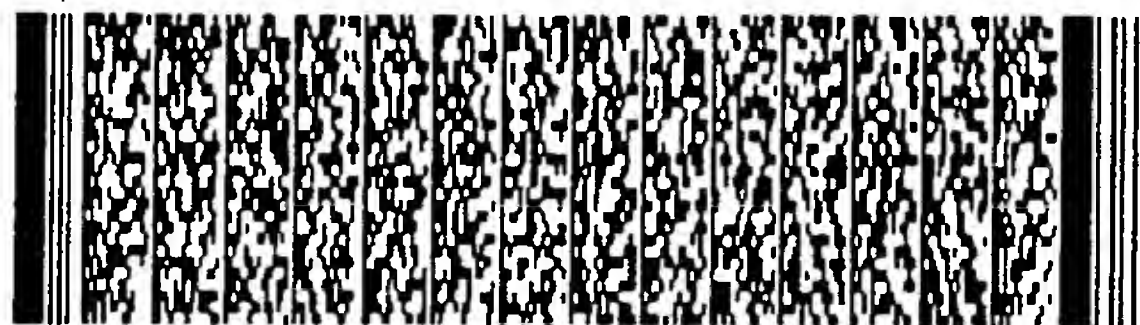
五、發明說明 (4)

定程式碼，用來將該晶片之輸入接腳設為一初始值；一電流量測程式碼，用來驅動該參數量測模塊量測晶片之電源端以及接地端間之電流之電流值；以及一電流提供程式碼，用來驅動該參數量測模塊提供該晶片之接腳之測試電流；以及一處理器，用來執行儲存於該記憶體之程式。

本發明之較佳實施例中另提供一種測試一晶片閉鎖 (latch up) 現象之方法，該晶片係於一測試平台上作測試，該測試平台儲存有該晶片之測試程式，用來測試該晶片之功能，該方法包含下列步驟：(a)取得該測試平台測試該晶片之測試程式；(b)由該晶片之測試程式取得該晶片之接腳資料；(c)將該晶片之輸入接腳設為一初始值；(d)對該晶片之接腳提供一測試電流，再量測該晶片之電源端以及接地端間之電流是否大於一第一預設值。

實施方式

請參考圖三，圖三為本發明測試平台 20 之方塊示意圖。測試平台 20 包含一處理器 24、一記憶體 26 以及一參數量測模塊 22 (Parameter Measurement Unit, PMU)，記憶體 26 中儲存一測試程式 28 以及一閉鎖測試程式 30。使用測試平台 20 進行閉鎖現象的測試時，將一待測晶片 32 連接至參數量測模塊 22，參數量測模塊 22 可提供待測晶片 32



五、發明說明 (5)

的電流源，並且量測待測晶片 32 的電源端以及接地端間的電流值，接著由處理器 24 執行閉鎖測試程式 30，開始對待測晶片 32 進行閉鎖現象的測試。通常測試平台 20 上都會開發多種不同功能的晶片，並使用測試程式 28 對測試平台 20 上所開發的晶片進行功能測試，所以經由測試平台 20 開發的晶片，就會在測試平台 20 上留下其所屬的測試程式 28，測試程式 28 中包含了測試晶片的功能函數，也包含了晶片的輸入/輸出接腳資料。待測晶片 32 亦是在測試平台 20 上開發的晶片，所以測試平台 20 上也儲存著待測晶片 32 的測試程式 28，只要取得待測晶片 32 的輸入/輸出接腳資料，就很容易使用參數量測模塊 22 來對待測晶片 32 進行閉鎖現象的測試。本發明利用測試平台 20 開發待測晶片 32 時所儲存的測試程式 28，取得待測晶片 32 的輸入/輸出接腳資料，如此測試平台 20 就不需要針對不同的待測晶片 32 都開發一個閉鎖測試程式 30，只需要使用同一個閉鎖測試程式 30，就可以對不同的待測晶片 32 進行閉鎖現象的測試，因為待測晶片 32 的輸入/輸出接腳資料已存在測試平台 20 上。

請參考圖四，圖四為本發明測試平台 20 測試閉鎖現象之程圖。使用測試平台 20 進行閉鎖現象的測試時，將待測晶片 32 連接至參數量測模塊 22，參數量測模塊 22 可提供待測晶片 32 的電流源，並且量測待測晶片 32 的電源端以及接地端間的電流值，接著由處理器 24 執行閉鎖測試

五、發明說明 (6)

程式 30，依據下列步驟對待測晶片 32 進行閉鎖現象的測試：

步驟 210：取得待測晶片 32 於測試平台 20 的測試程式 28；

步驟 220：由測試程式 28 取得待測晶片 32 的電源端以及所有的輸入/輸出接腳；

步驟 230：預設所有輸入接腳的狀態，將所有輸入接腳的初始值設為 1 或 0；

步驟 240：設定觸發電流之電流值 ($X\text{mA}$)，觸發電流的初始值為 25mA ；

步驟 241：將設定的觸發電流施加於待測晶片 32 的一待測接腳以及接地端間；

步驟 250：量測待測晶片 32 的電源端以及接地端間的電流；

步驟 251：待測晶片 32 的電源端以及接地端間的電流值是否大於 100mA ，若是，則進行步驟 260，若否，則進行步驟 252；

步驟 252：待測晶片 32 的所有接腳以及接地端間是否都已施加設定的觸發電流進行測試，若是，則進行步驟 253，若否，則回到步驟 241，對待測晶片 32 的下一待測接腳進行測試；

步驟 253：設定的觸發電流是否大於 200mA ，若是，則進行步驟 270，若否，則回到步驟 240，將設定的觸發電流加上 25mA ，也就是將觸發電流設定為 $(X+25)\text{mA}$ ，繼續對待測晶片 32 進行測試；



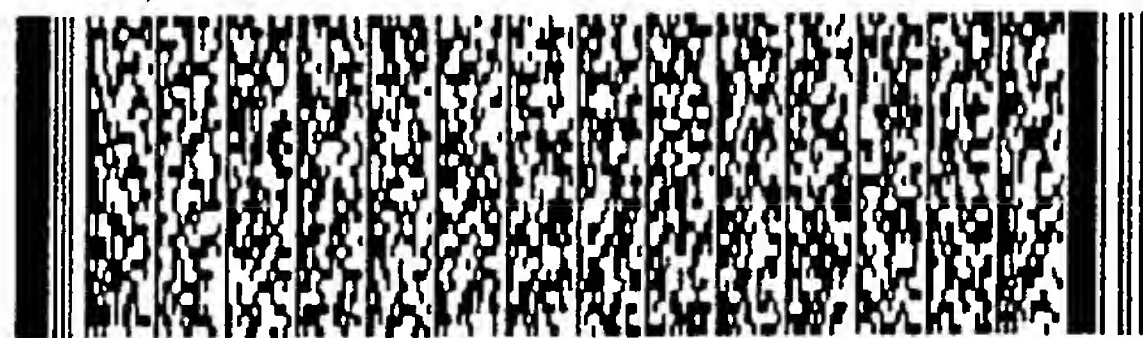
五、發明說明 (7)

步驟 260：待測晶片 32 發生閉鎖現象，未通過閉鎖測試程式 30 的測試；

步驟 270：待測晶片通過閉鎖測試程式 30 的測試；

步驟 280：結束閉鎖測試程式 30，輸出測試結果。

請參考圖五，圖五為本發明閉鎖測試程式 30 之示意圖。測試平台 20 測試閉鎖現象的閉鎖測試程式 30，是依據圖四的流程圖撰寫而成，符合 JEDEC EIA/JESD78 的標準。為了達到上述的測試步驟，閉鎖測試程式 30 包含一路徑設定程式碼 40、一接腳設定程式碼 42、一初始設定程式碼 44、一電流提供程式碼 46 以及一電流量測程式碼 48。路徑設定程式碼 40 用來取得待測晶片 32 於測試平台 20 的測試程式，使閉鎖測試程式 30 進行步驟 210。接腳設定程式碼 42 可由待測晶片 32 的測試程式 28 中取得待測晶片 32 的電源端以及所有的輸入/輸出接腳，使閉鎖測試程式 30 進行步驟 220。初始設定程式碼 44 用來設定待測晶片 32 的輸入接腳的初始值，使閉鎖測試程式 30 進行步驟 230。電流提供程式碼 46 用來驅動參數量測模塊 22 提供待測晶片 32 的接腳的觸發電流，使閉鎖測試程式 30 進行步驟 240。電流量測程式碼 48 用來驅動參數量測模塊 22 量測待測晶片 32 的電源端以及接地端間的電流值，使閉鎖測試程式 30 進行步驟 250。目前的自動測試機 (Automated Test Equipment, ATE) 提供視窗操作介面，使用者將待測晶片 32 置入自動測試機後，只需透過視窗操作介面輸入閉鎖



五、發明說明 (8)

測試程式 30 的路徑，即可對待測試晶片 32 進行閉鎖現象的測試，並且在完成測試後將測試結果輸出，告知使用者待測晶片 32 有那幾隻接腳沒有通過閉鎖現象的測試。

由上述可知，晶片在開發時，都會有測試程式儲存於所屬的測試平台，測試程式中包含晶片的輸入/輸出接腳資料，所以對晶片進行閉鎖現象的測試時，只需在測試平台上開發一個閉鎖測試程式，利用晶片儲存於測試平台的測試程式的輸入/輸出接腳資料，就可以對測試平台上開發的所有晶片進行閉鎖現象的測試，節省閉鎖測試程式開發的時間。此外，由於晶片是在測試平台上開發，所以本發明適用於封裝後測試的階段，亦適用於晶圓測試的階段。

相較於習知技術，本發明利用測試平台開發晶片時使用的測試程式來取得的晶片的輸入/輸出接腳資料，使得測試平台可利用單一的閉鎖測試程式來對測試平台上開發的所有晶片進行閉鎖現象的測試，免去了習知在同一測試平台需要針對不同的晶片開發不同的閉鎖測試程式的麻煩，節省程式開發的時間。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利的涵蓋範圍。

圖式簡單說明

圖式之簡單說明

圖一為習知 CMOS 剖面以及其等效寄生電路之示意圖。
 圖二為習知測試積體電路之示意圖。
 圖三為本發明測試平台之方塊閉鎖示意圖。
 圖四為本發明測試平台測試程式之流程图。
 圖五為本發明閉鎖測試程式之示意圖。

圖式之符號說明

10	積體電路	12	測試電壓
14	電流量測器	16	觸發電流
20	測試平台	22	參數量測模塊
24	處理器	26	記憶體
28	測試程式	30	閉鎖測試程式
32	待測晶片	40	路徑設定程式碼
42	接腳設定程式碼	44	初始設定程式碼
46	電流提供程式碼	48	電流量測程式碼



六、申請專利範圍

1. 一種測試一晶片閉鎖 (latch up) 現象之方法，該晶片係於一測試平台上作測試，該測試平台儲存有該晶片之測試程式，用來測試該晶片之功能，該方法包含下列步驟：

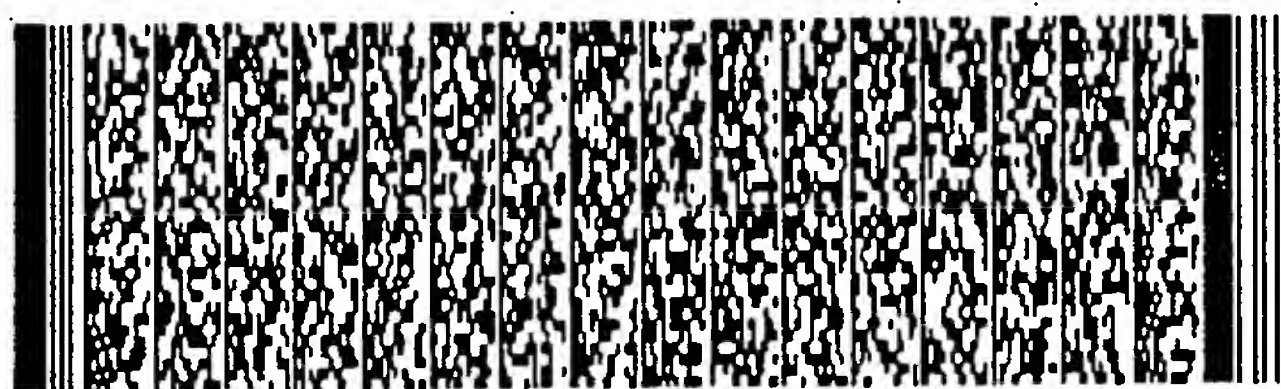
- (a) 取得該測試平台測試該晶片之測試程式；
- (b) 由該晶片之測試程式取得該晶片之接腳資料；
- (c) 將該晶片之輸入接腳設為一初始值；
- (d) 對該晶片之接腳提供一測試電流，再量測該晶片之電源端以及接地端間之電流值是否大於一第一預設值。

2. 如申請專利範圍第 1 項所述之方法，其另包含下列步驟：

- (e) 使用高於該測試電流之測試電流重覆執行步驟 (d)，直到該測試電流到大於一第二預設值。

3. 如申請專利範圍第 1 項所述之方法，其中步驟 (d) 另包含對該晶片之所有接腳逐一提供該測試電流，並量測該晶片之電源端以及接地端間之電流值是否大於該第一預設值。

4. 如申請專利範圍第 1 項所述之方法，其另包含若該晶片之電源端以及接地端間之電流值大於該第一預設值，則判定該晶片未通過閉鎖測試。



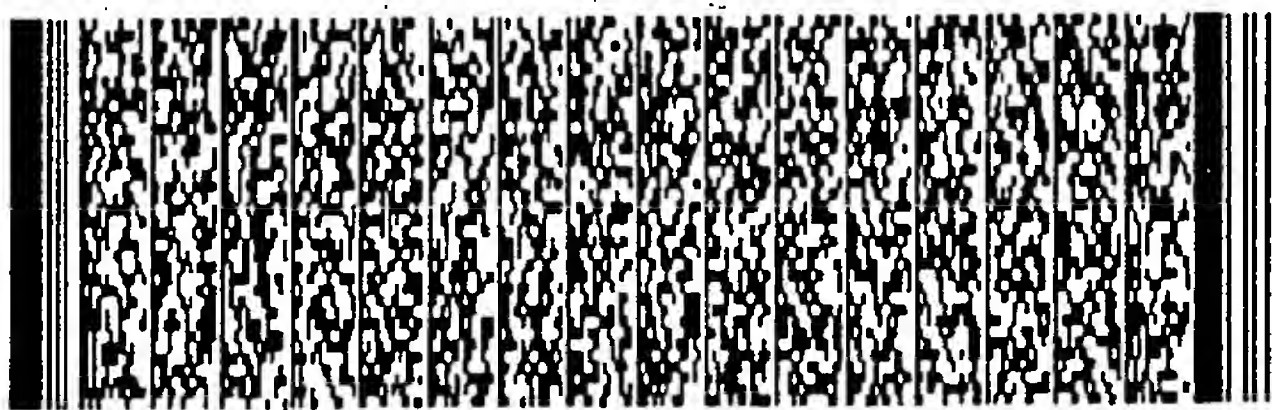
六、申請專利範圍

5.如申請專利範圍第2項所述之方法，其中另包含當步驟(e)使用之測試電流大於該第二預設值，且量測該晶片之電源端以及接地端間之電流值未超過該第一預設值時，則判定該晶片通過閉鎖測試。

6.一種裝置，用來實施如申請專利範圍第1項所述之方法。

7.一種測試平台，用來測試一晶片之閉鎖(latch up)現象，該測試平台包含：

一記憶體；
一參數量測模塊(Parameter Measurement Unit, PMU)，用來提供該晶片之電流源，以及量測晶片之電源端以及接地端間之電流值；
一閉鎖測試程式，儲存於該記憶體，該閉鎖測試程式包含：
一路徑設定程式碼，用來取得該晶片之測試程式；
一接腳設定程式碼，用來由該晶片之測試程式取得該晶片之接腳；
一初始設定程式碼，用來將該晶片之輸入接腳設為一初值；
一電流量測程式碼，用來驅動該參數量測模塊量測該晶片之電源端以及接地端間之電流值；以及
一電流提供程式碼，用來驅動該參數量測模塊提供該晶



六、申請專利範圍

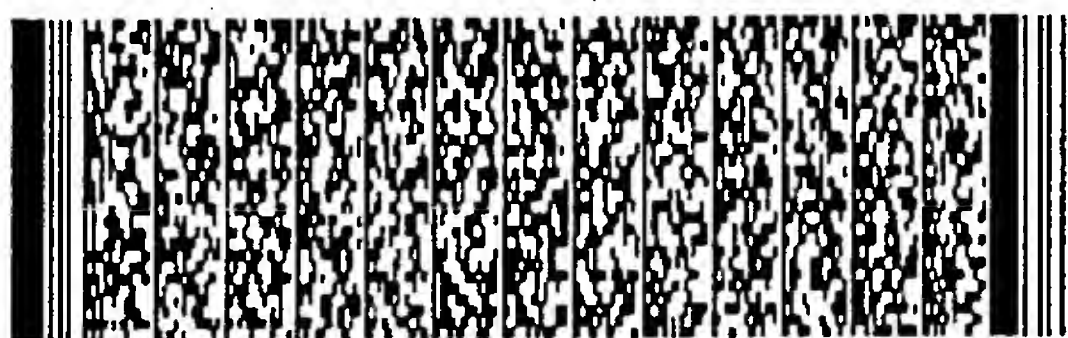
片之接腳之測試電流；以及
一處理器，用來執行儲存於該記憶體之程式。

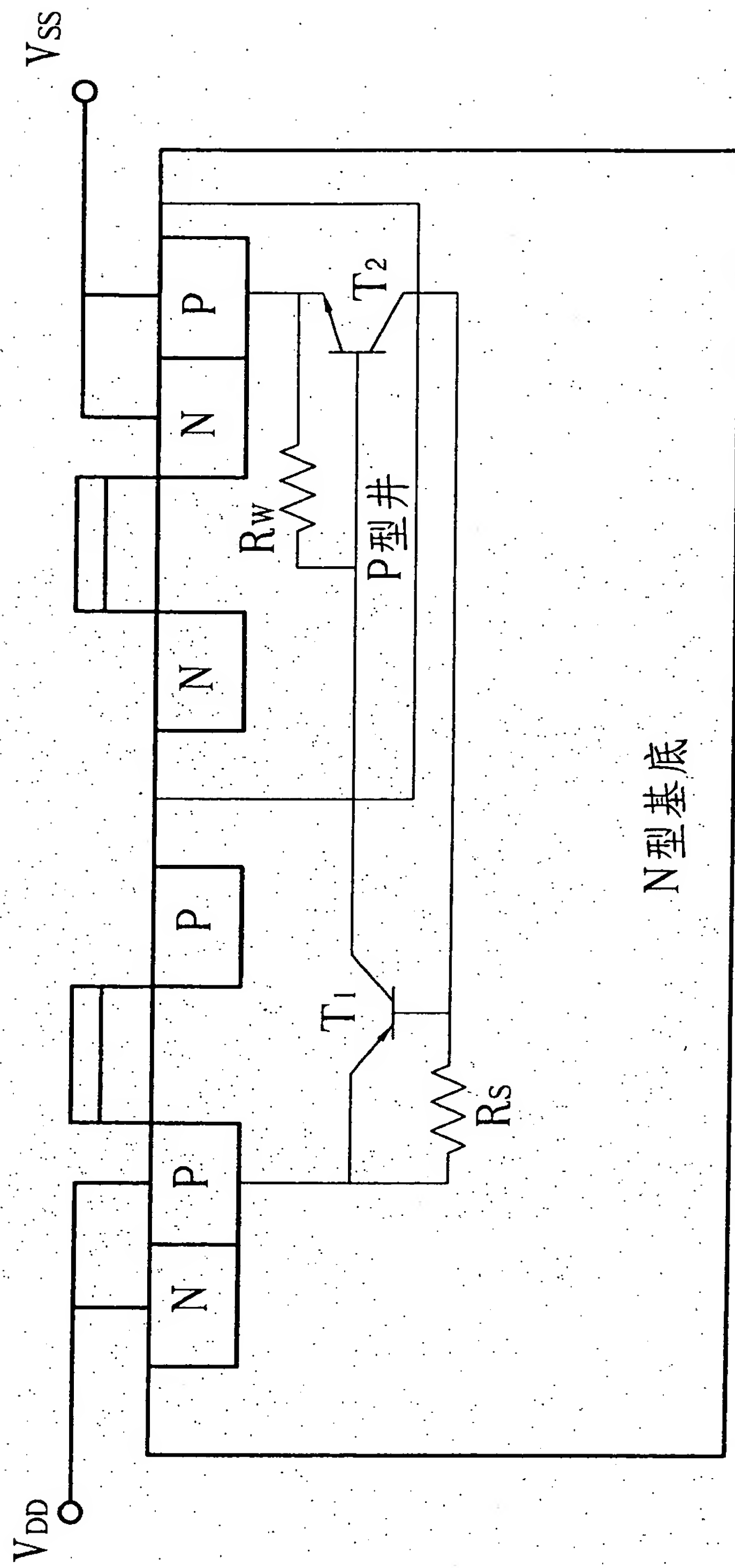
8.如申請專利範圍第7項所述之測試平台，其中該晶片之測試程式係儲存於該記憶體中，用來測試該晶片之功能。

9.如申請專利範圍第7項所述之測試平台，其中該晶片包含複數個輸入/輸出接腳以及複數個電源接腳。

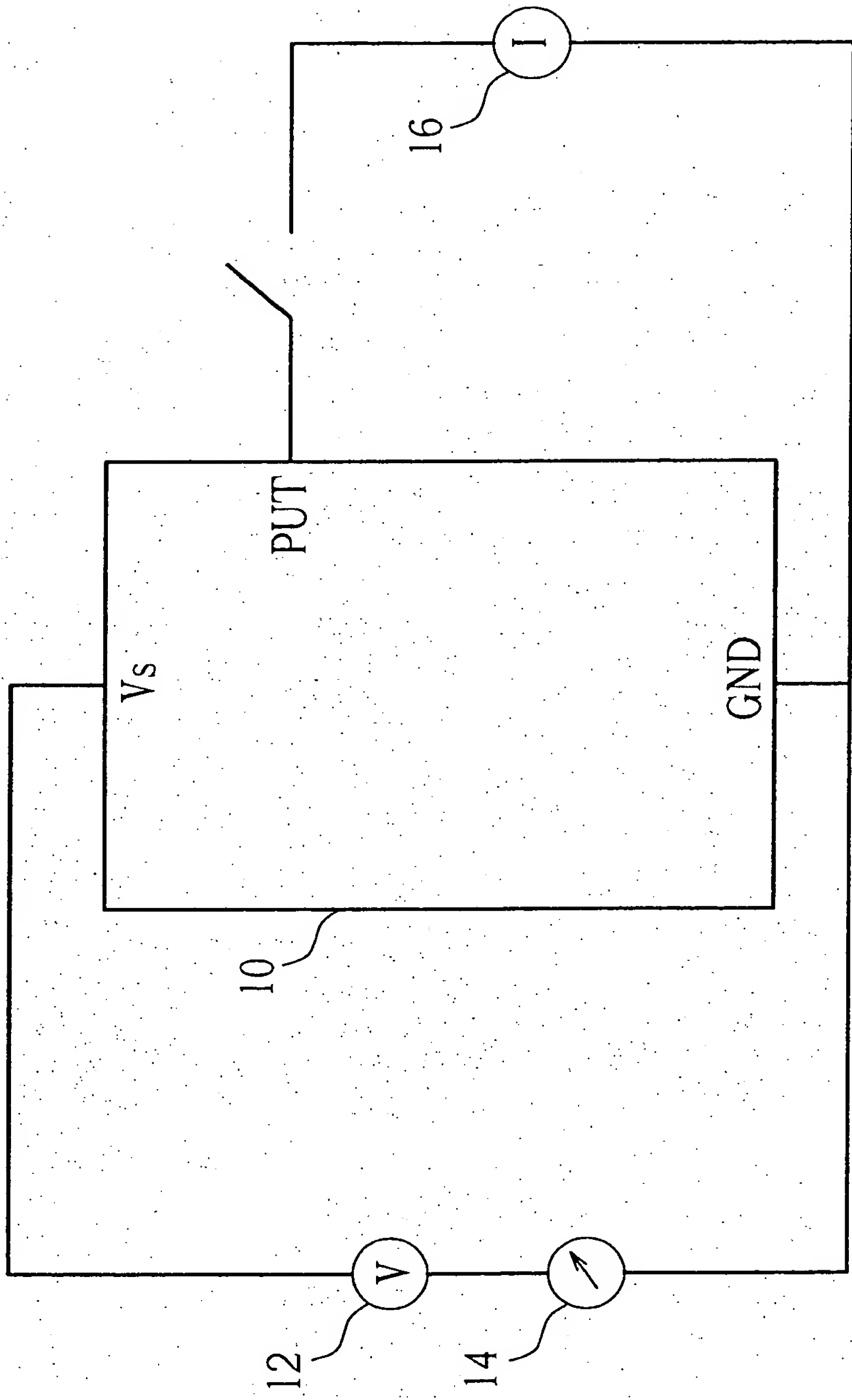
10.如申請專利範圍第7項所述之測試平台，其中該初始值係為0或1。

11.如申請專利範圍第5項所述之測試平台，其係為自動測試機(Automated Test Equipment, ATE)。

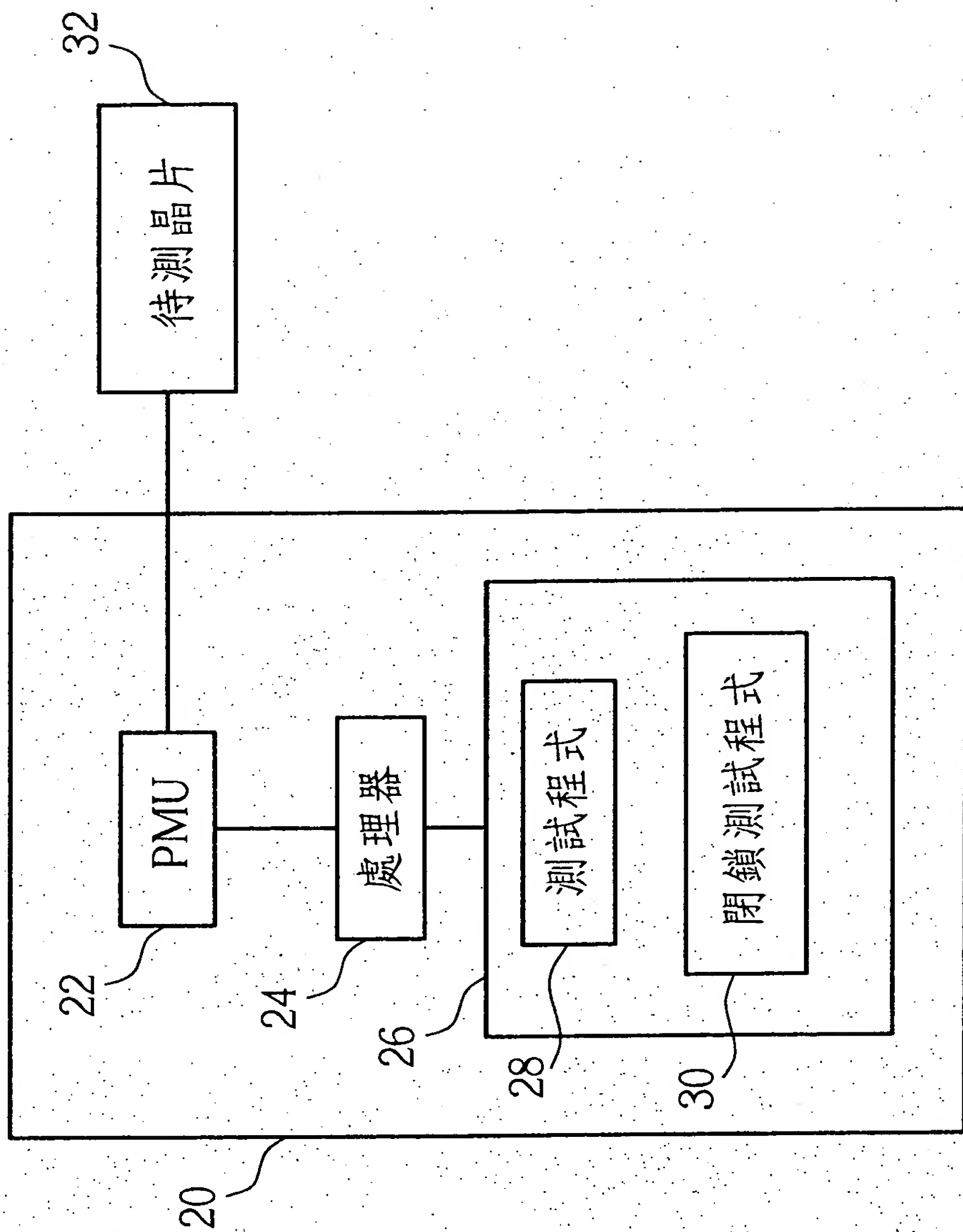




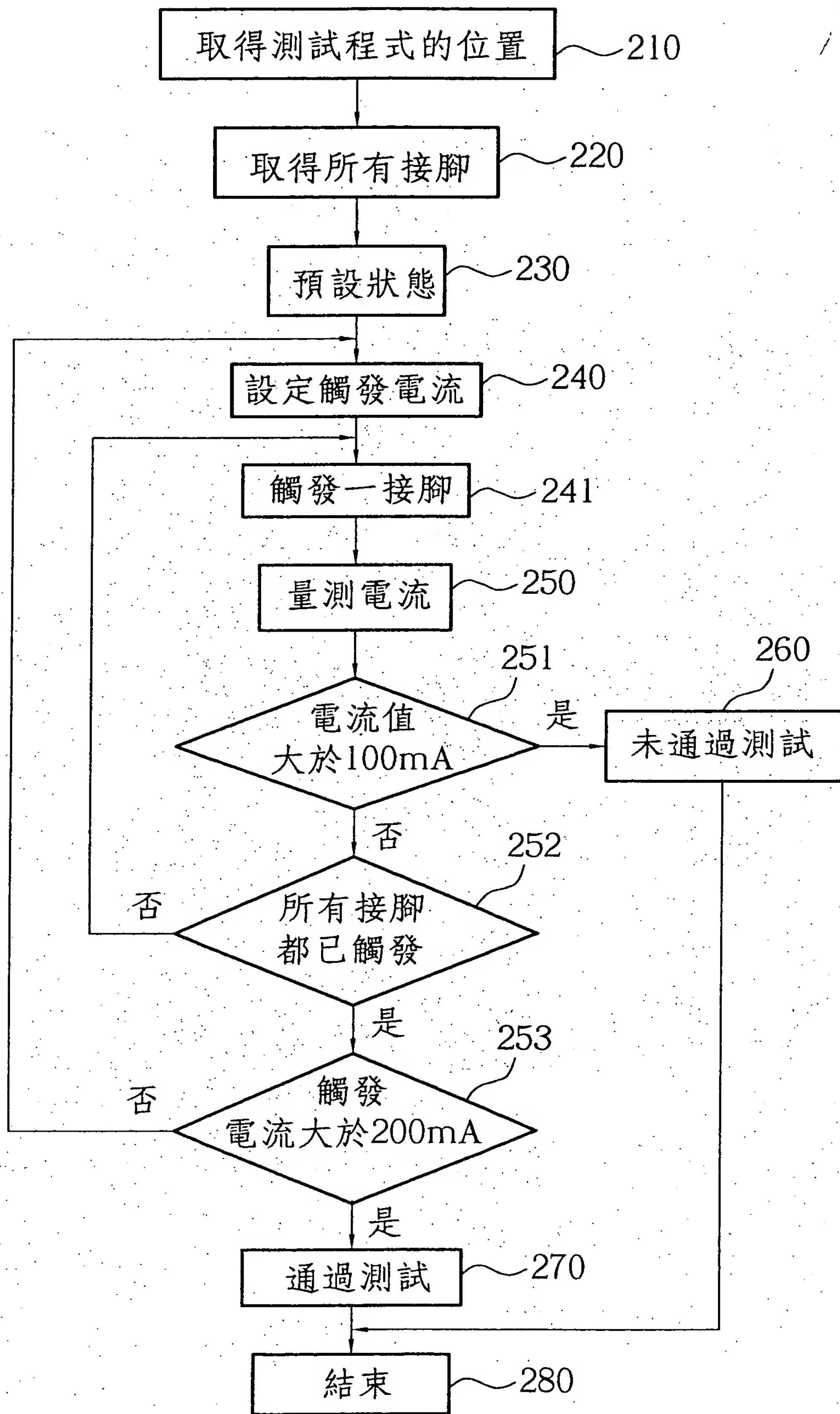
圖一



圖一



圖三



圖四

```
GetDevPath(device_path)
```

```
strcat(device_path, "/user_proc/latchup/IO.pin");
if ((file_id_1 = fopen(device_path, "r")) == NULL) {
    fprintf(stderr, "IO.pin does not existed !!\n");
    fclose(file_id_1); SetSystemFlag(CI_ABORT, 1);
    *state_out = CI_CALL_ERROR; }
```

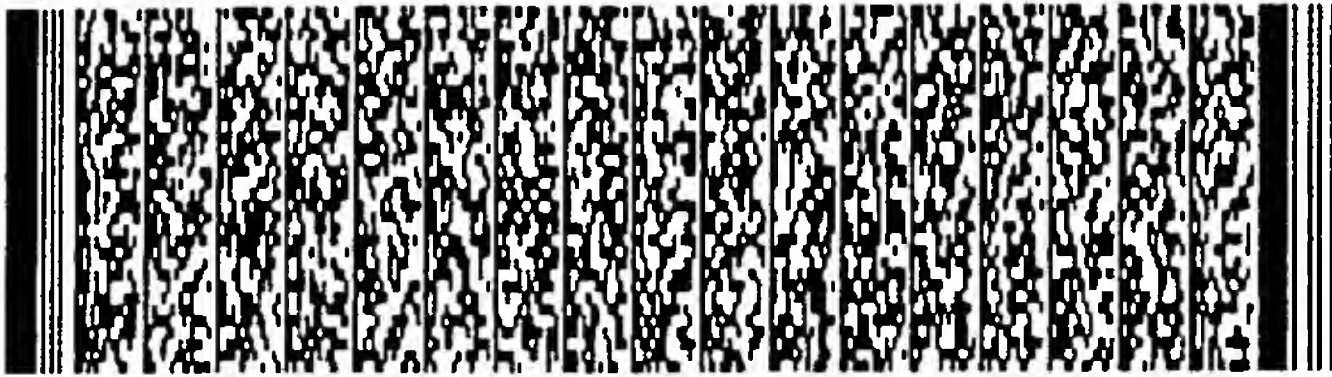
```
sprintf(task_string, "DFCM 1, %f, , ,
-30000.000,30000.000,30000.000, , 5.000,PPNP,(ALL_IN)
\n", 0.000); fw_task();
sprintf(task_string, "PTST?1, , , PVAL \n"); fw_task();
sprintf(task_string, "RLYC PPMU,PMU,(ALL_IN)\n");
fw_task(); idd();
```

```
while (fscanf(file_id_1, "%s", pin) == 1) { Current=25000; for(k=
0; k<8; k++) { sprintf(task_string, "DFVM 1, %d, %d,
4500.0,1000.0,3000.0, , 5.0,SPNS,(%s)\n"); while (fscanf(file_id_2, "
%s", pwd) == 1) { sprintf(task_string, "IDDQ?VAL,
-2,10.000000, , , (%s) \n", pwd); if (abs(idd_diff) > 10000) {
fprintf(stderr, "Shooting at pin %10s with current %10d
uA damage chip\n", pin, Current); } }
```

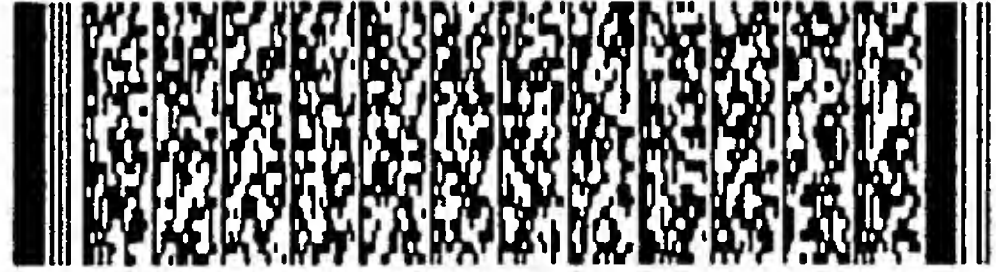
```
while (fscanf(file_id_2, "%s", pwd) == 1) {
    sprintf(task_string, "IDDQ? VAL,
-2,10.000000, , , (%s) \n", pwd); idd_init[pwd_cnt
]=idd_bef; }
```

圖五

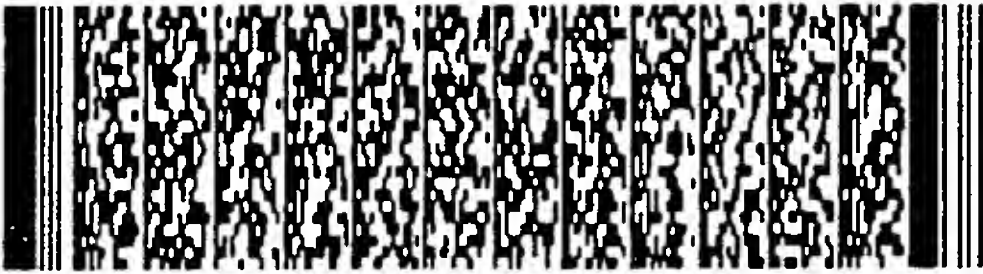
第 1/18 頁



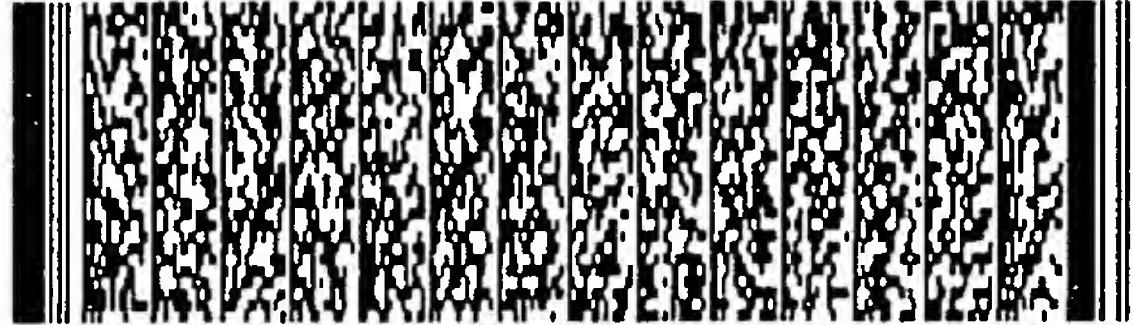
第 2/18 頁



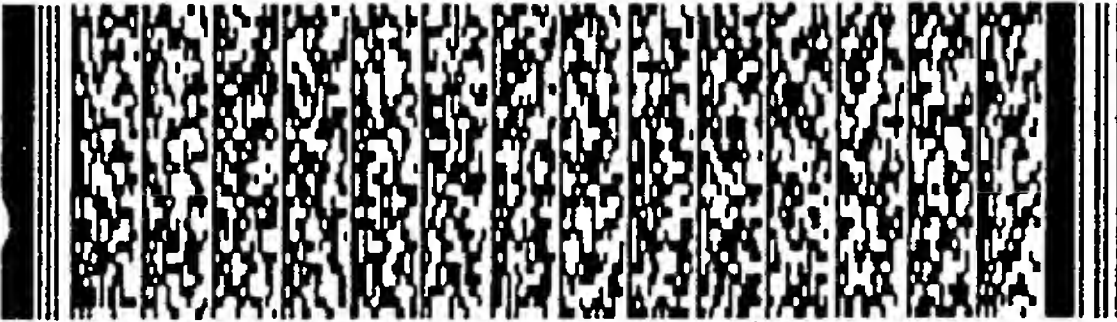
第 3/18 頁



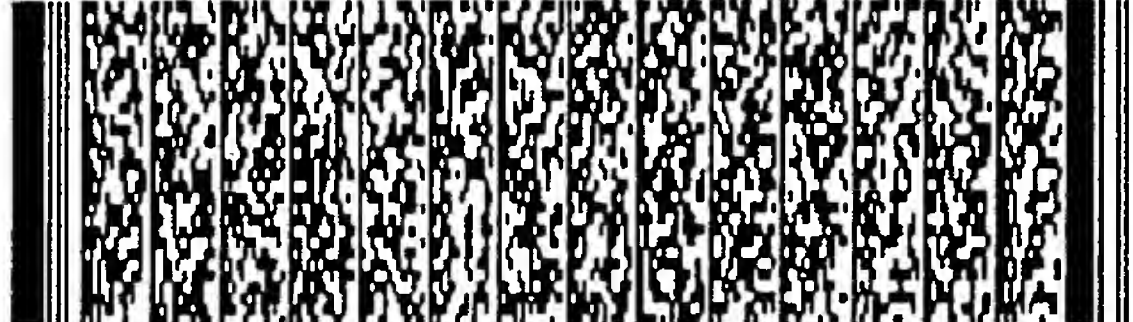
第 4/18 頁



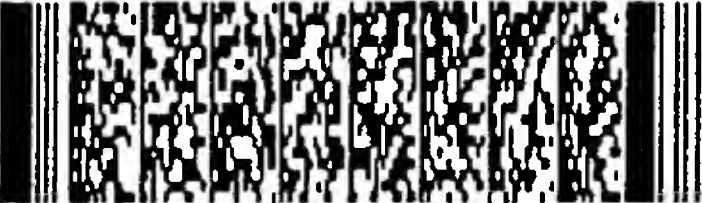
第 4/18 頁



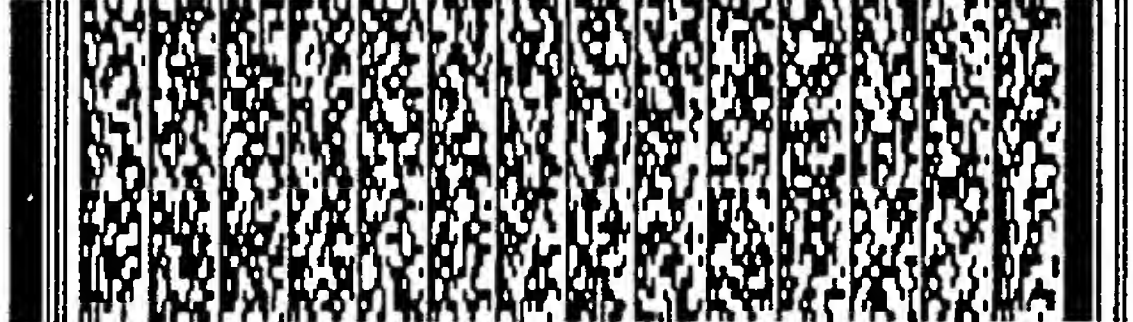
第 5/18 頁



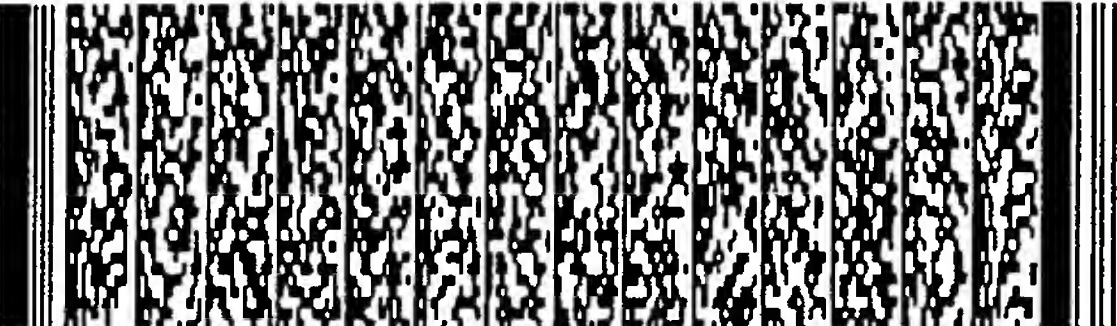
第 6/18 頁



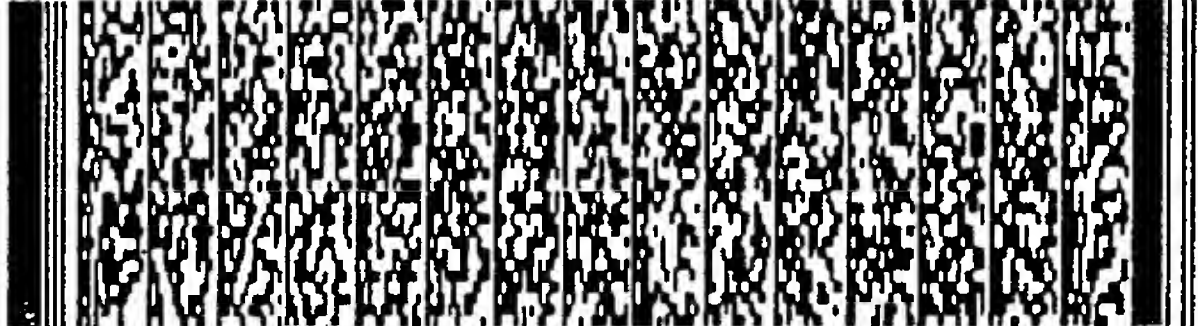
第 7/18 頁



第 7/18 頁



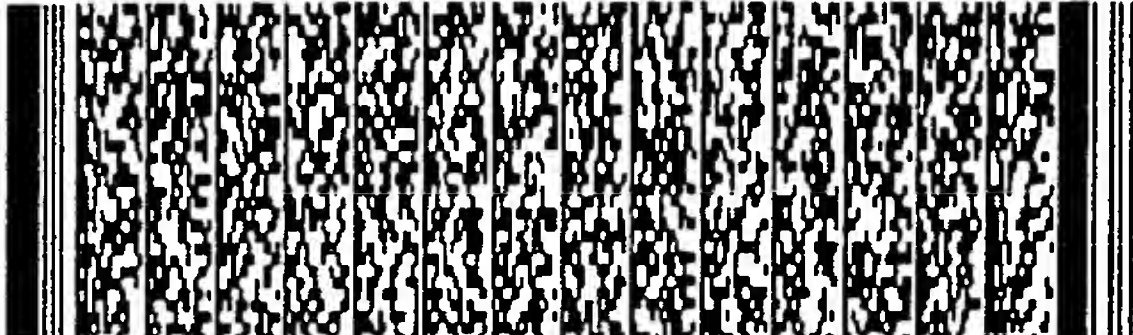
第 8/18 頁



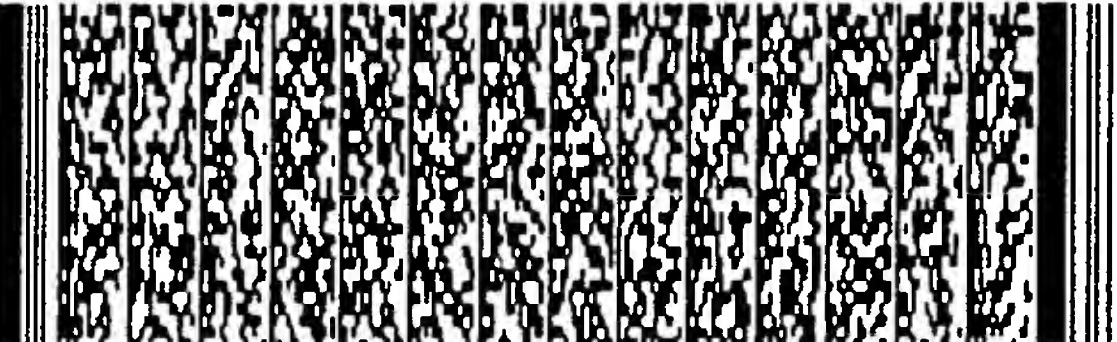
第 8/18 頁



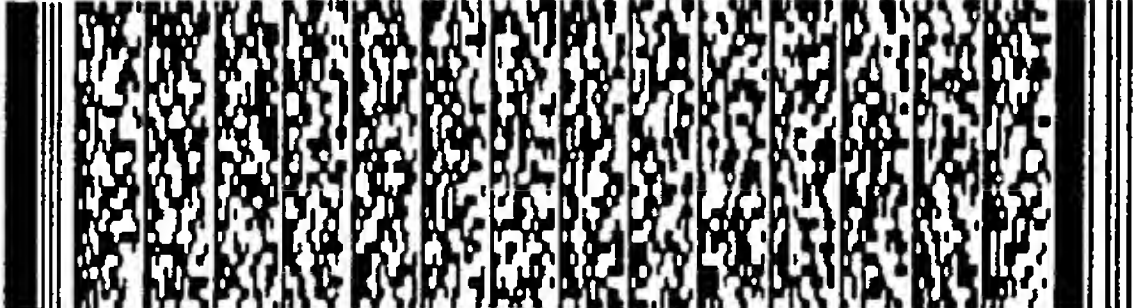
第 9/18 頁



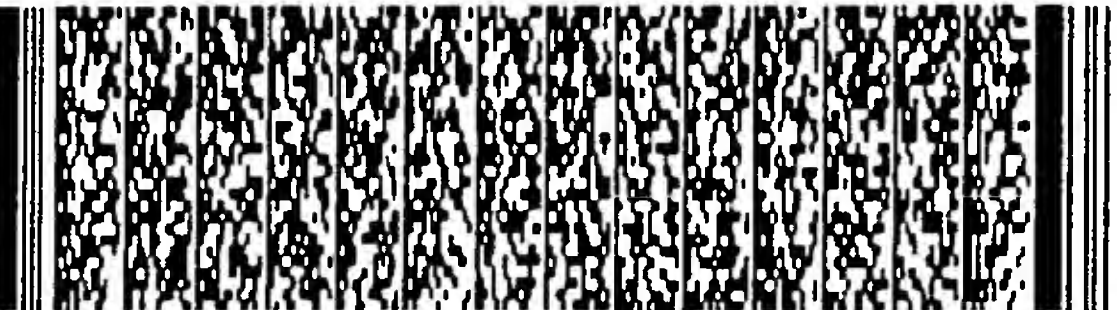
第 9/18 頁



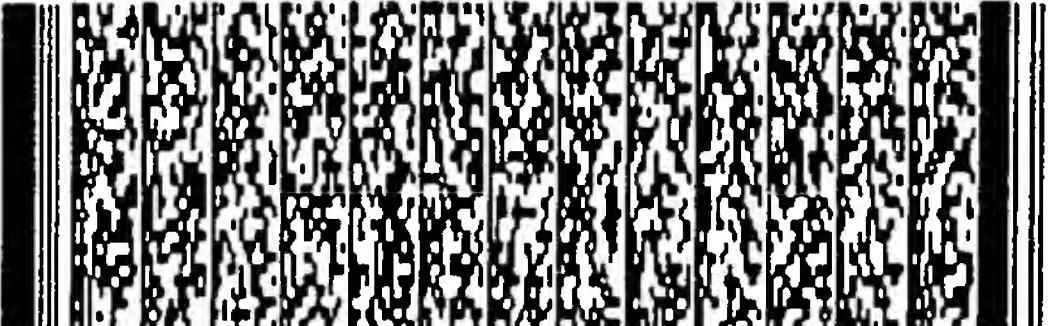
第 10/18 頁



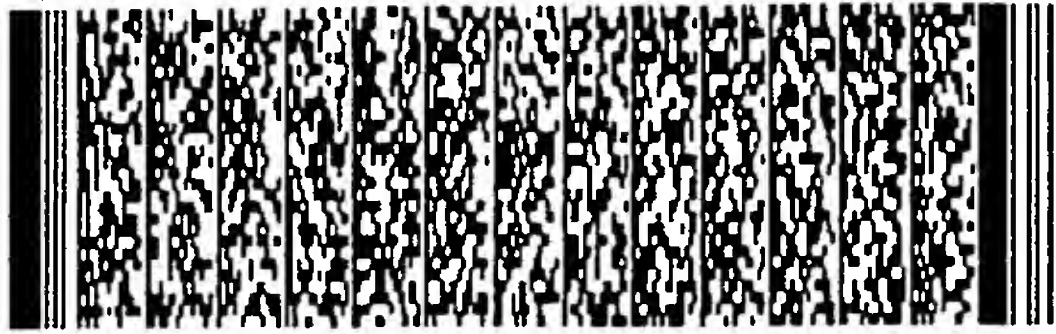
第 10/18 頁



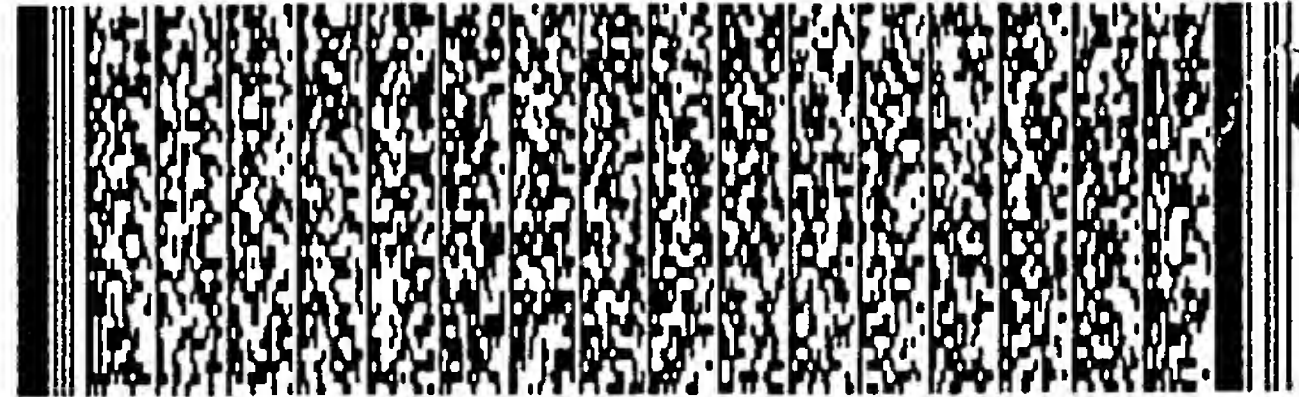
第 11/18 頁



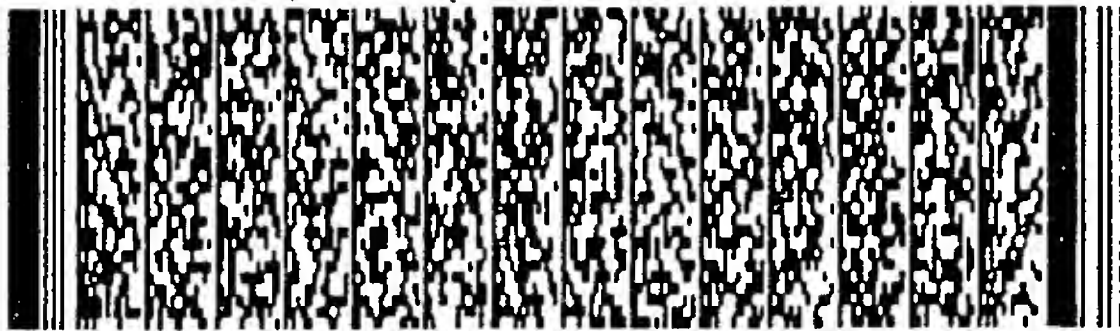
第 11/18 頁



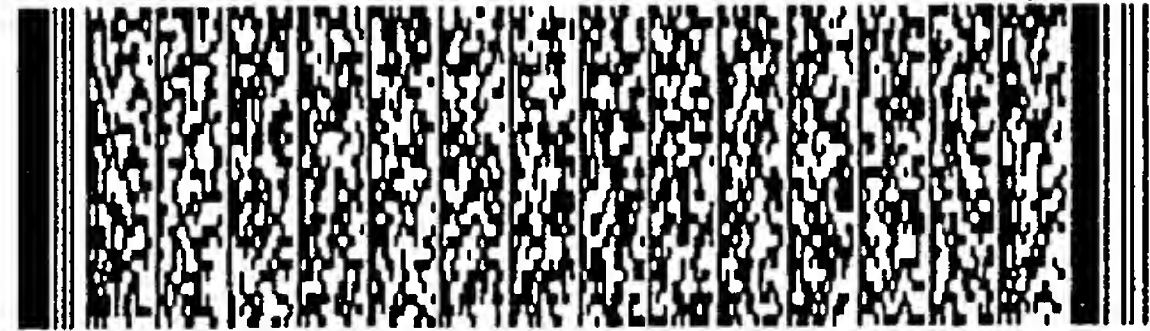
第 12/18 頁



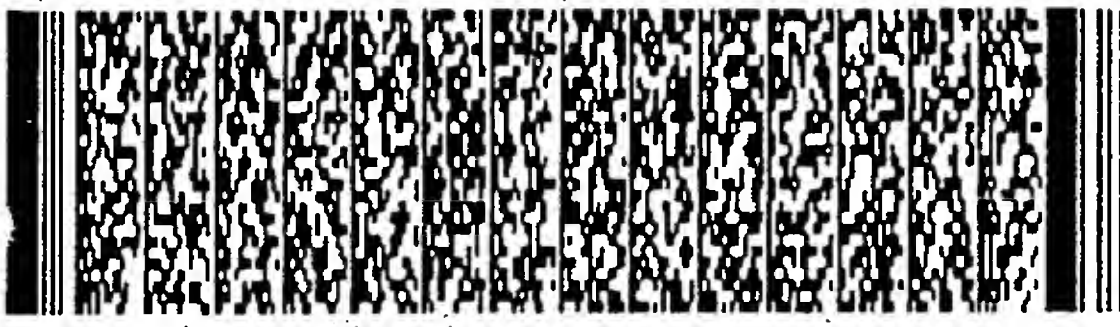
第 13/18 頁



第 13/18 頁



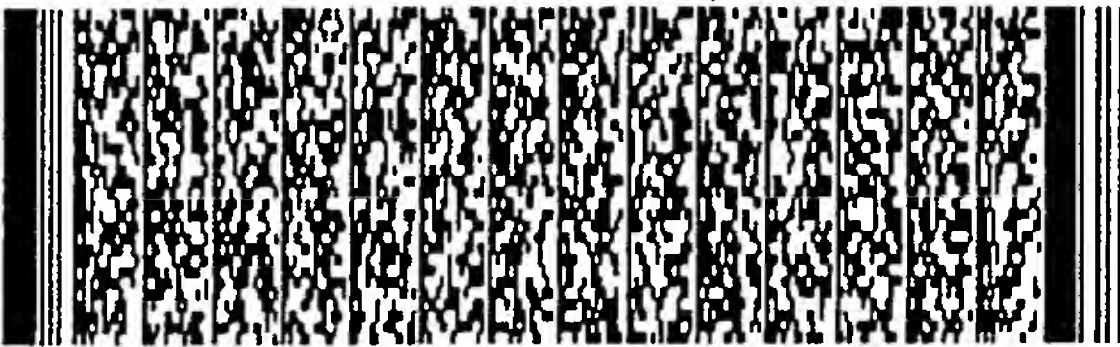
第 14/18 頁



第 14/18 頁



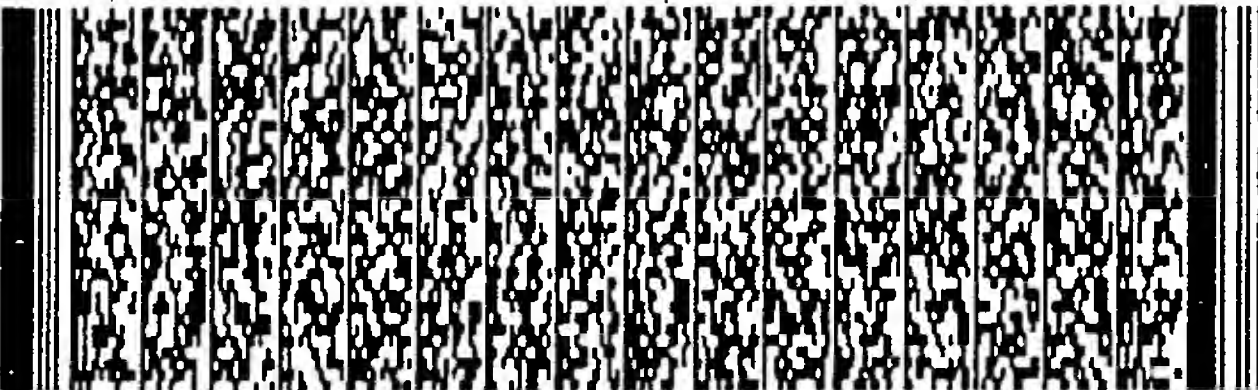
第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

